

PAT-NO: JP363275181A

DOCUMENT-IDENTIFIER: JP 63275181 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: November 11, 1988

INVENTOR-INFORMATION:

NAME

OOKA, HIDEYUKI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

N/A

APPL-NO: JP62111817

APPL-DATE: May 7, 1987

INT-CL (IPC): H01L029/78

US-CL-CURRENT: 438/488

ABSTRACT:

PURPOSE: To protect a substrate against damage so as to obtain a device improved in yield and reliability by a method wherein a reverse conductive type diffusion layer of high concentration is formed self-matchedly on a gate electrode including a high melting metallic layer after a high melting metallic layer is formed at least on a side wall of the gate electrode.

CONSTITUTION: A reactive ion etching is performed selectively onto a polycrystalline silicon film 14 to form a gate 14A, where an etching condition is so set as to leave a gate oxide film preserved on a substrate surface except the gate electrode. N-type impurity such as phosphorus and the like is ion-implanted self-matchedly into the formed gate electrode 14A for the formation of n<SP>-</SP>layers 16 and 17. Next, a high melting metal film 18 such as tungsten or the like is selectively grown only on a polycrystalline silicon surface including the side face of the gate electrode 14A 1000&angst;&sim;2000&angst; in thickness and n-type impurity such as arsenic or the like is ion-implanted self-matchedly into a gate region including the grown high melting metallic film 18 so as to form n<SP>+</SP> layers 19 and 20. By these processes, the plasma damage against a substrate is completely prevented, and a device is improved in reliability and yield.

COPYRIGHT: (C)1988,JPO&Japio

## ⑫ 公開特許公報(A)

昭63-275181

⑤ Int.Cl.<sup>4</sup>  
H 01 L 29/78識別記号  
3 0 1  
庁内整理番号  
L-8422-5F

⑬ 公開 昭和63年(1988)11月11日

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭62-111817

⑰ 出 願 昭62(1987)5月7日

⑱ 発 明 者 大 岡 秀 幸 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 内 原 晋

## 明 細 書

## 発 明 の 名 称

半導体装置の製造方法

## 特 許 請 求 の 範 囲

(1) 一導電形半導体基板上にゲート酸化膜を介して多結晶シリコンからなるゲート電極を形成し、該ゲート電極に自己整合的に低濃度の逆導電形拡散層を形成するLDD構造のソース・ドレインを有する半導体装置の製造方法であって、前記ゲート電極の少くとも側壁部に高融点金属層を形成したのち該高融点金属層を含むゲート電極に自己整合的に高濃度の逆導電形拡散層を形成することを特徴とする半導体装置の製造方法。

(2) 高融点金属を気相成長法により形成する特許請求の範囲第1項記載の半導体装置の製造方法。

## 発 明 の 詳 細 な 説 明

## 〔産業上の利用分野〕

本発明は半導体装置の製造方法に関し、特に、ゲート電極にシリコンを用いた絶縁ゲート型電界効果トランジスタの製造方法に関する。

## 〔従来の技術〕

近年、半導体集積回路の高集積化につれ、半導体装置内で使用される絶縁ゲート型電界効果トランジスタ(以下、IGFETと記す)のホットエレクトロンによって生ずる特性劣化が信頼性上極めて重大な問題となっている。この原因は、微細化により素子内部の電界強度が増大したことによるものである。

こうした問題に対処する一方法として、ドレイン拡散層近傍における電界強度を緩和することが考えられる。このためFETのソース・ドレイン拡散層のチャネル側の端部に低濃度拡散層を配置した各種のトランジスタが提案されている。

例えば、第4図(f)に示すようなLDD(Lightly Doped Drain)構造を有するFETは、ゲート電極14Aに自己整合的にn<sup>-</sup>層16及び1

7を形成した後、ゲート電極14Aの側面に例えば、酸化膜によるサイドウォール24Aを形成し、この後、 $n^+$ 層19と20をゲート電極14A及びサイドウォール24Aに対して自己整合的に形成するものである。これにより、ソース・ドレイン拡散層の端部に低濃度の拡散層が配置され、ドレイン端での電界強度の緩和をはかることができる。

以下このような耐ホットエレクトロン構造を有するIGFETの製造方法を第4図(a)～(f)を用いて説明する。

まず、第4図(a)に示すように、p形シリコン基板11上に、素子分離のための厚い二酸化ケイ素( $SiO_2$ )膜13を、通常のエッチング法により形成し、次いで、ゲート酸化膜12を介して、多結晶シリコン膜14を気相成長法により堆積する。さらに、通常のリソグラフィにより、ゲート電極となる領域をおおうレジスト・パターン15を形成する。

次に第4図(b)に示すように、このレジス

ト・パターン15をマスクに不要な領域の多結晶シリコンを選択的にエッチングし、ゲート電極14Aを形成する。

次に、第4図(c)に示すように、形成されたゲート電極14Aに対し、自己整合的にn形不純物をイオン注入し、 $n^-$ 層16及び17を形成する。

次に、第4図(d)に示すように、全面に気相成長法により酸化膜24を形成する。

次に第4図(e)に示すように、反応性イオンエッチングにより、酸化膜24を異方性エッチングし、ゲート電極14Aの側面に、酸化膜からなるサイドウォール24Aを形成する。続いて、このゲート領域に対して、自己整合的に $n^+$ 層19、20をイオン注入により形成する。

次に、第4図(f)に示すように、通常の方法により、PSG膜21及びアルミ配線22を形成しIGFETを完成させる。

〔発明が解決しようとする問題点〕

上述した従来のIGFETの製造方法では、ゲ

- 3 -

- 4 -

ート電極の側面にサイドウォールを形成する方法として、酸化膜のイオンエッチングを行なうが、この工程は、基板に対して著しいプラズマダメージを与え、これが接合リーク等を引起す。このため特性の再現性が悪くなり、半導体装置の製造歩留り及び信頼性が低下するという問題点がある。

本発明の目的は、基板へのダメージをなくし、製造歩留り及び信頼性の向上した半導体装置の製造方法を提供することにある。

〔問題点を解決するための手段〕

本発明の半導体装置の製造方法は、一導電形半導体基板上にゲート酸化膜を介して多結晶シリコンからなるゲート電極を形成し、該ゲート電極に自己整合的に低濃度の逆導電形拡散層を形成するLDD構造のソース・ドレインを有する半導体装置の製造方法であって、前記ゲート電極の少なくとも側壁部に高融点金属層を形成したのち該高融点金属層を含むゲート電極に自己整合的に高濃度の逆導電形拡散層を形成するものである。

- 5 -

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図(a)～(g)は本発明の第1の実施例を説明するための工程順に示した半導体チップの断面図である。

まず、第1図(a)に示すように、p形シリコン基板11上に、素子分離のための厚い $SiO_2$ 膜13を選択酸化法により形成し、次いで、ゲート酸化膜12を介して、多結晶シリコン膜14を堆積する。次いでフォトリソグラフィによりレジスト膜を形成したのちパターニングし、レジストパターン15を形成する。

次に第1図(b)に示すように、レジスト・パターン15をマスクに、多結晶シリコン膜14を反応性イオンエッチングにより選択的にエッチングし、ゲート電極14Aを形成する。この際、ゲート電極以外の基板表面上にはゲート酸化膜12が残存するようにエッチング条件を設定する。

次に第1図(c)に示すように、形成されたゲ

- 6 -

ート電極14Aに対し、自己整合的にリン等のn形不純物をイオン注入し、n<sup>-</sup>層16及び17を形成する。

次に第1図(d)に示すように、少なくともゲート電極14Aの側面を含む多結晶シリコン表面上のみに気相成長法により選択的にタングステン等の高融点金属膜18を1000Åないし2000Å成長させる。この場合、高融点金属はシリコン上には成長するが、酸化膜上には成長しない。

次に第1図(e)に示すように、成長した高融点金属膜18を含むゲート領域に対して自己整合的にヒ素等のn形不純物をイオン注入しn<sup>+</sup>層19及び20を形成する。

以下第1図(f)に示すように、注入不純物の活性化等のための熱処理を行ったのち、基板表面上に、層間絶縁膜としてのPSG膜21を形成する。

次で、通常の工程によりアルミ配線22を形成し、第1図(g)に示すLDD構造を有するIGFETを完成させる。

- 7 -

を200Åないし500Å形成する。その後フォトリソグラフィによりレジスト・パターン15を形成する。

次に第2図(b)に示すように、レジスト・パターン15をマスクとして、酸化膜23及び多結晶シリコン膜14を順次エッチングしゲート電極14Aを形成する。この際、ゲート電極14A以外の領域上に在するSiO<sub>2</sub>膜12が残存するようにエッチングする。

次に第2図(c)に示すようにレジスト・パターン15を除去し形成されたゲート電極14Aの側面に露出したシリコン表面のみに、タングステン等の高融点金属膜18を選択成長させる。そして成長した高融点金属膜18を含むゲート領域に対して自己整合的にn形不純物をイオン注入しn<sup>+</sup>層19と20を形成する。

次に第2図(d)に示すようにゲート電極14Aの側面に成長した高融点金属膜18を除去したのちn形不純物をイオン注入し、ゲート電極14Aに対して自己整合的にn<sup>-</sup>層16及び17を形

- 9 -

なお、本第1の実施例において、多結晶シリコン膜のパターニング後、n<sup>-</sup>層、n<sup>+</sup>層の順でソース・ドレイン拡散層を形成したが、第3図(a)～(c)に示すように先にn<sup>+</sup>層を形成し、次いでn<sup>-</sup>層を形成してもよい。すなわちゲート電極14Aを形成後、第3図(a)に示すように、高融点金属18をゲート電極14A上に選択成長し、このゲート領域に対して、自己整合的に、第3図(b)に示すようにn<sup>+</sup>層19と20を形成する。この後、高融点金属膜18を除去し、ゲート電極14Aに対して、自己整合的にn<sup>-</sup>層16と17を形成し、第3図(c)を得る。その後は、第1図(f)以下の工程を経て、IGFETを完成させる。

第2図(a)～(d)は、本発明の第2の実施例を説明するための工程順に示した半導体チップの断面図である。

まず、第2図(a)に示すようにp形シリコン基板11上に、ゲート酸化膜12を介して多結晶シリコン膜14を成長した後、さらに酸化膜23

- 8 -

成する。以下は、通常の工程によりIGFETを完成させる。

この第2の実施例においては最終的に高融点金属膜18を除去するため、第1図に示した第1の実施例に比べ、ゲート電極近傍ので段差がゆるやかになるという利点がある。

〔発明の効果〕

以上説明したように本発明はIGFETのソース・ドレイン拡散層を高濃度の拡散層とチャネル領域との間に低濃度の拡散層を配したLDD構造とする際、低濃度の拡散層を形成するためのサイドウォールを、高融点金属の選択成長により形成するため、従来のように酸化膜のエッチバックによりサイドウォールを形成する方法で問題となる基板に対するプラズマ・ダメージが全くないという効果がある。従って半導体装置の製造歩留り及び信頼性は向上する。

図面の簡単な説明

第1図(a)～(g)及び第2図(a)～(

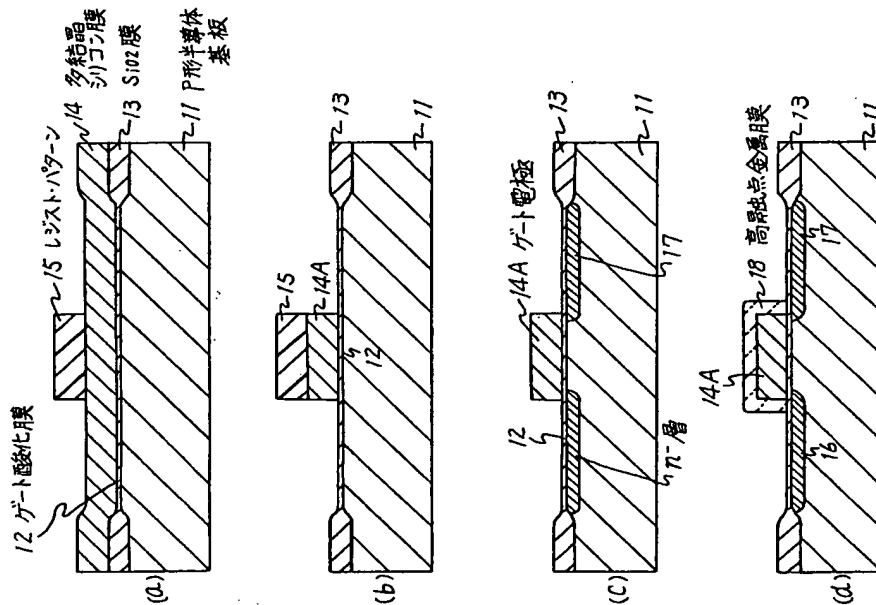
- 10 -

d) は本発明の第1及び第2の実施例を説明するための工程順に示した半導体チップの断面図、第3図(a)～(c)は第1の実施例の他の工程を説明するための断面図、第4図(a)～(f)は従来の半導体装置の製造方法を示す半導体チップの断面図である。

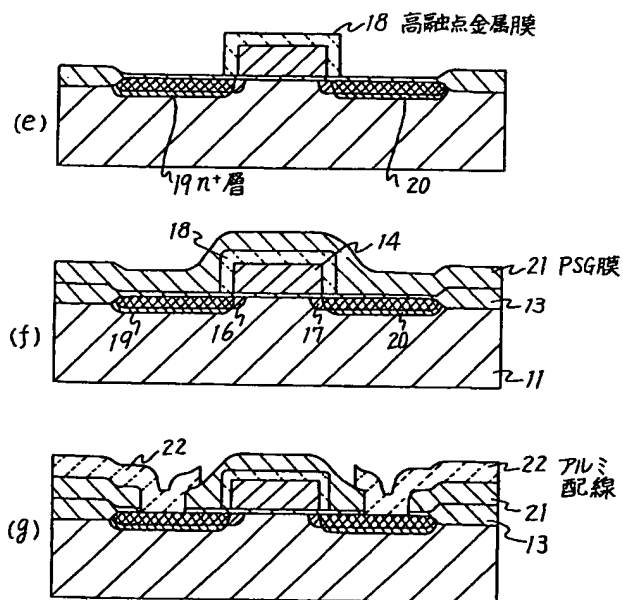
11…p形半導体基板、12…ゲート酸化膜、13… $\text{SiO}_2$ 膜、14…多結晶シリコン膜、14A…ゲート電極、15…レジストパターン、16, 17…n<sup>-</sup>層、18…高融点金属膜、19, 20…n<sup>+</sup>層、21…PSG膜、22…アルミ配線、23, 24…酸化膜、24A…サイドウォール。

代理人 弁理士 内 原 晋

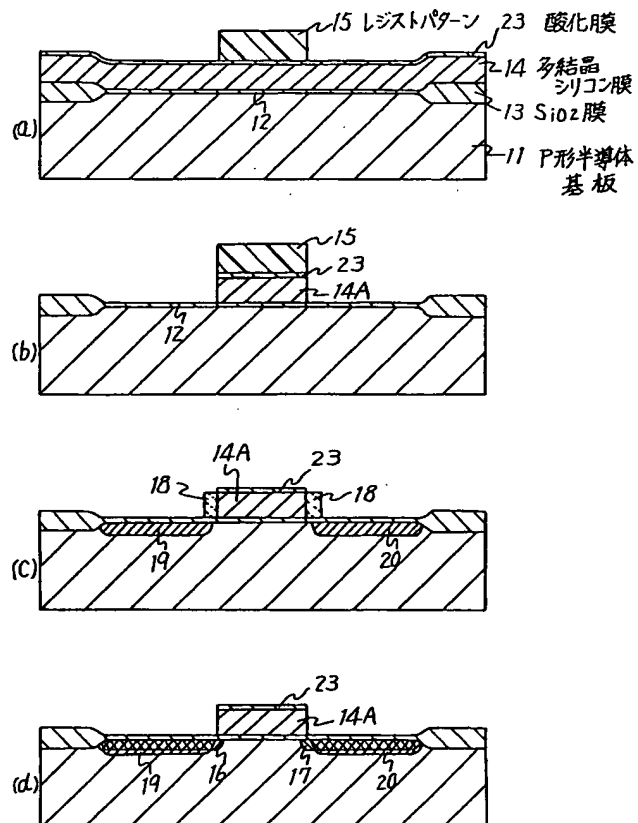
- 11 -



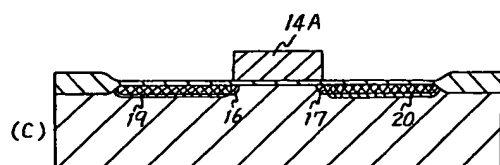
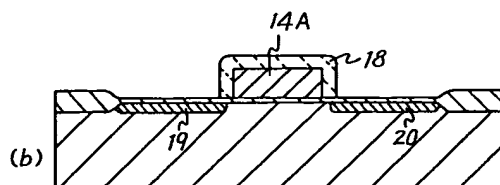
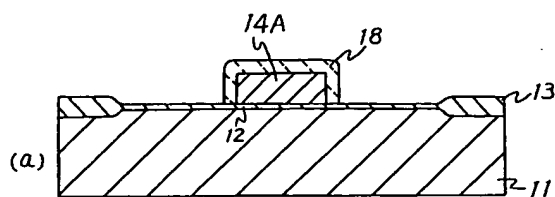
第1図



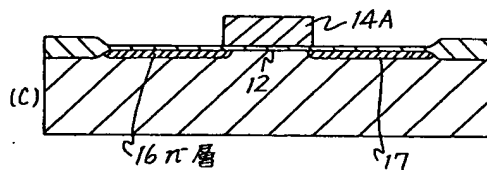
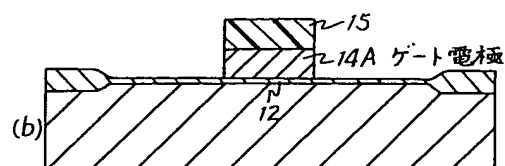
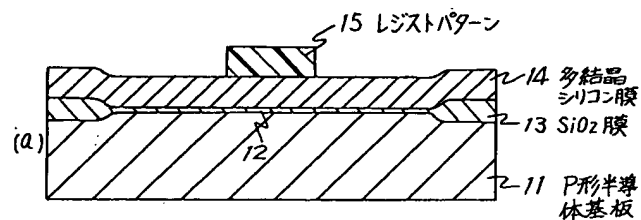
第 1 図



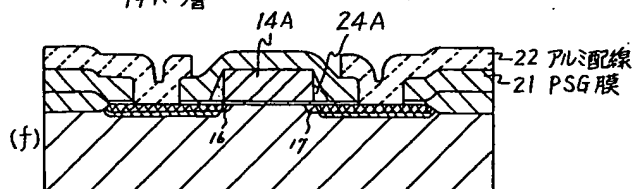
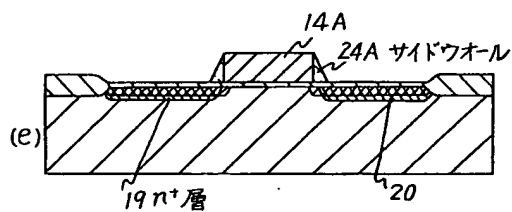
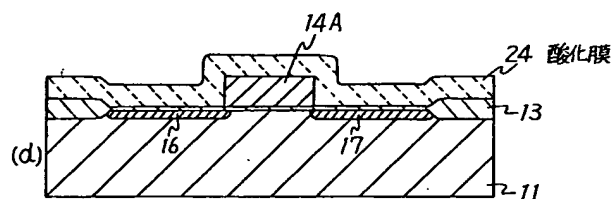
第 2 図



第3図



第4図



第4図